

Wstęp do projektowania regulatorów w SISOTOOL®

Mariusz Buciakowski

Spis treści

1. Wprowadzenie	2
2. Konfiguracja startowa	3
2.1. Możliwe komendy	3
2.2. Dostępne architektury	4
2.3. Przykład wywołania przybornika z wykorzystaniem sisoinit	6
3. Opis poszczególnych okien	8
3.1. SISO Design Tool	8
3.2. SISO Design for SISO Desing Task	10
4. Przykłady projektowania regulatorów w SISO Design Tool	11
4.1. Projektowanie regulatora dla układu pierwszego rzędu	11
4.2. Projektowanie regulatora dla układu drugiego rzędu	14
5. Opis przydatnych funkcji podczas analizy układów automatycznej regulacji w SISOTOOL®	17
6. Analiza układu automatycznej regulacji w przeglądarce LTIView	18

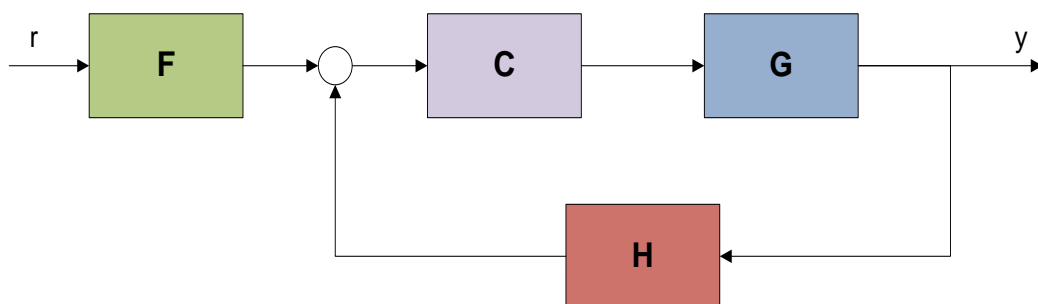
1. Wprowadzenie

Narzędzie SISOTool pozwala na wygodne i szybkie projektowanie regulatorów w środowisku Matlab® oraz na analizę układów automatycznej regulacji pod wieloma względami. SISOTool umożliwia projektowanie oraz analizę układów o jednym wejściu i jednym wyjściu (single-input/single-output (SISO)). Do projektowania regulatorów można skorzystać z czterech podstawowych technik:

- `root locus` - projektowanie z wykorzystaniem linii pierwiastkowych,
- `Bode diagram` - projektowanie z wykorzystaniem wykresu *Bode*'o,
- `Nichols and Nyquist techniques` - projektowanie z wykorzystaniem wykresu *Nichols'a* oraz *Nyquist'a*,
- `automatically design` - projektowanie z wykorzystaniem automatycznego dostrajania parametrów regulatora na podstawie przyjętych wymagań jakościowych,

Podczas uruchomienia SISO Design Tool z wykorzystaniem komendy `sisotool` przybornik otwiera się z domyślnymi ustawieniami:

- Otwarcie `Control and Estimation Tools Manager`,
- Otwarcie `Graphical Tuning editor` wraz z `Bode diagram` oraz `root locus`,
- Wybranie podstawowej architektury (rys. 1.1),
- Inicjalizacja poszczególnych zmiennych dla domyślnej architektury (wszystkie zmienne przyjmują wartość 1),



Rys. 1.1. Domyślna architektura dostępna w programie

2. Konfiguracja startowa

2.1. Możliwe komendy

Przybornik SISO Design Tool może zostać wywołany na kilka sposobów. Głównie zależy to od ilości parametrów jakie należy przekazać do programu w momencie startu. Poniżej zostanie przedstawione możliwości uruchomienia przybornika wraz z przykładami.

Tab. 1. Możliwe wywołania dla domyślnej architektury

Możliwe wywołanie programu	Przykład wywołania
sisotool	» <code>sisotool</code>
sisotool(plant)	» <code>G=tf(1,[1,2])</code> » <code>sisotool(G)</code>
sisotool(plant,comp)	» <code>G=tf(1,[1,2])</code> » <code>C=10</code> » <code>sisotool(G,C)</code>
sisotool(plant,comp,sensor,prefilt)	» <code>G=tf(1,[1,2])</code> » <code>C=10</code> » <code>H=1</code> » <code>F=tf(1,1)</code> » <code>sisotool(G,C,H,F)</code>
sisotool(views)	» <code>sisotool('rlocus')</code>
sisotool(views,plant,comp)	» <code>G=tf(1,[1,2])</code> » <code>C=10</code> » <code>sisotool('rlocus',G,C)</code>
sisotool(initdata)	Inicjalizacja z wykorzystaniem <code>sisoinit</code>
sisotool(sessiondata)	Otwarcie zapisanej sesji. <code>sessiondata</code> - nazwa sesji

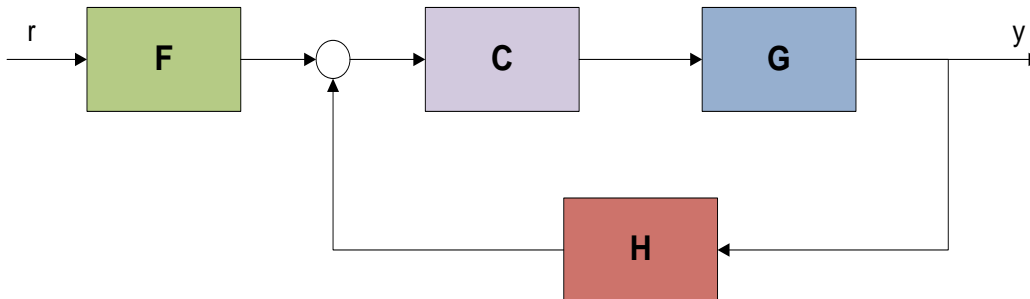
Tab. 2. Dodatkowe możliwe wywołania

Możliwe wywołanie programu	Przykład wywołania
sisotool(initdata)	Inicjalizacja z wykorzystaniem <code>sisoinit</code>
sisotool(sessiondata)	Otwarcie zapisanej sesji. <code>sessiondata</code> - nazwa sesji

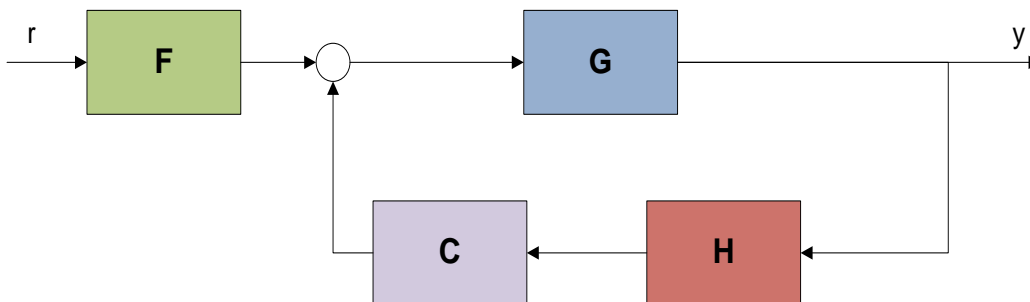
2.2. Dostępne architektury

SISO Design Tool dostarcza sześciu najczęściej spotykanych architektury układów automatyki regulacji. Poniżej przedstawiono dostępne architektury oraz wartości do wywołania.

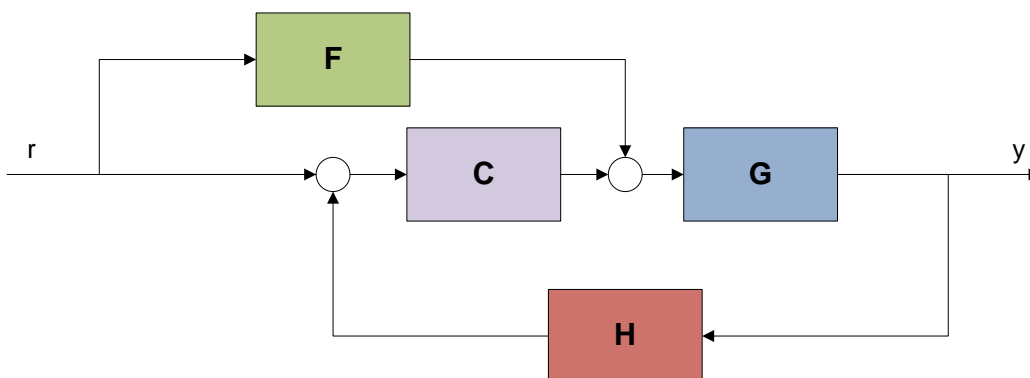
- Architektura domyślna, tradycyjny układ regulacji, wartość do wywołania - 1,



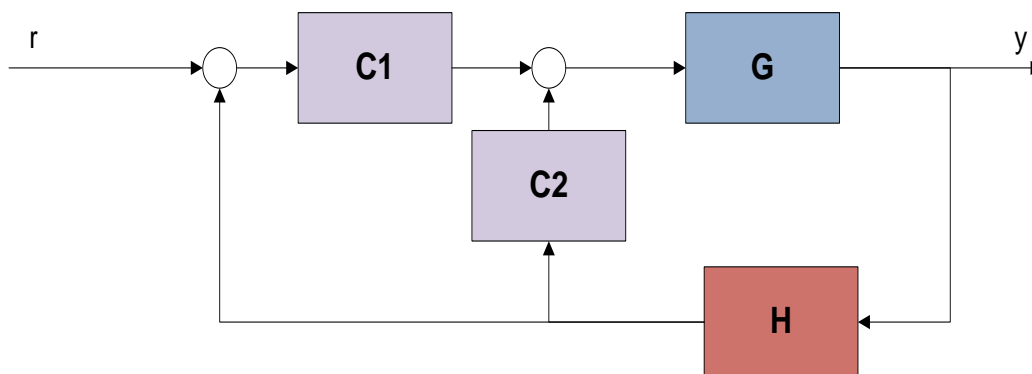
- Architektura z regulatorem w pętli sprzężenia zwrotnego, wartość do wywołania - 2,



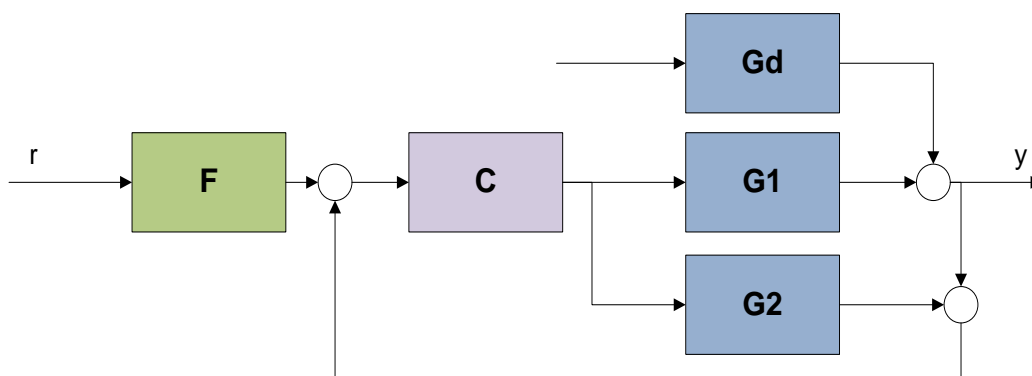
- Architektura z regulatorem typu feedforward, wartość do wywołania - 3,



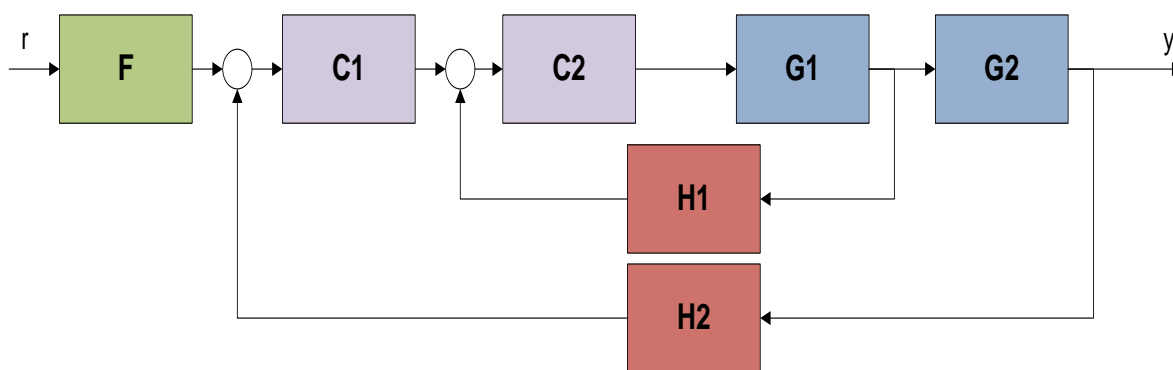
- Architektura z dodatkowym regulatorem w pętli sprzężenia zwrotnego, wartość do wywołania - 4,



- Architektura z regulatorem IMC (Internal model control), wartość do wywołania - 5,



- Architektura w układzie kaskadowym, wartość do wywołania - 6,



2.3. Przykład wywołania przybornika z wykorzystaniem `sisoinit`

Wywołanie programu może odbywać się na wiele sposobów. Dostępne wywołania zostały przedstawione w tab. 1, 1. W celu ułatwienia oraz przyspieszenia pracy z `SISO Design Tool` zalecane jest skonfigurowanie warunków startowych przybornika z pomocą `sisoinit` a następnie wywołanie programu z wprowadzonymi ustawieniami. Dla każdej architektury można określić modele G, H , regulator C , filtr F oraz widok dla otwartej i zamkniętej pętli sprzężenia zwrotnego. Ustawienia poszczególnych bloków dostępne są w tabeli 3.

Tab. 3. Ustawienia poszczególnych bloków

Blok	Właściwość	Wartość
F	Nazwa	String
	Komentarz	String
	Wartość	Obiekt LTI
G	Nazwa	String
	Wartość	Obiekt LTI Tablica obiektów LTI. Jeśli obiekt H jest tablicą LTI to rozmiar obiektu G musi być równy rozmiarowi obiektu H
H	Nazwa	String
	Wartość	Obiekt LTI Tablica obiektów LTI. Jeśli obiekt G jest tablicą LTI to rozmiar obiektu H musi być równy rozmiarowi obiektu G
C	Nazwa	String
	Komentarz	String
	Wartość	Obiekt LTI

Tab. 4. Ustawienia widoków dla pętli sprzężenia zwrotnego

Pętla	Właściwość	Wartość
OLI (pętla otwarta)	Nazwa	String
	Komentarz	String
	Widok	'rlocus' 'bode' 'nichols'
CL1 (pętla zamknięta)	Nazwa	String
	Komentarz	String
	Widok	'bode'

Skrypt 1 Przykładowe wywołanie struktury `sisoinit`

```

%% Przykładowa konfiguracja struktury sisoinit
% Plik prezentuje przykładowe ustawienia struktury
% sisoinit oraz wywołanie programu sisotool

%% Ustawienie poszczególnych bloków
G = tf(1, [1 1]); % Model obiektu
C = tf(1, [1 2]); % Regulator
F = tf(1, 1); % Filtr

%% Ustawienie struktury sisotool
T = sisoinit(1);
T.G.Value = G;
T.C.Value = C;
T.C.Description = 'Regulator';
T.F.Value = F;
T.F.Description = 'Filtr';
T.OL1.View = {'rlocus', 'bode', 'nichols'}; % Widok dla otwartej pętli
T.CL1.View = {'bode'}; % Widok dla zamkniętej pętli

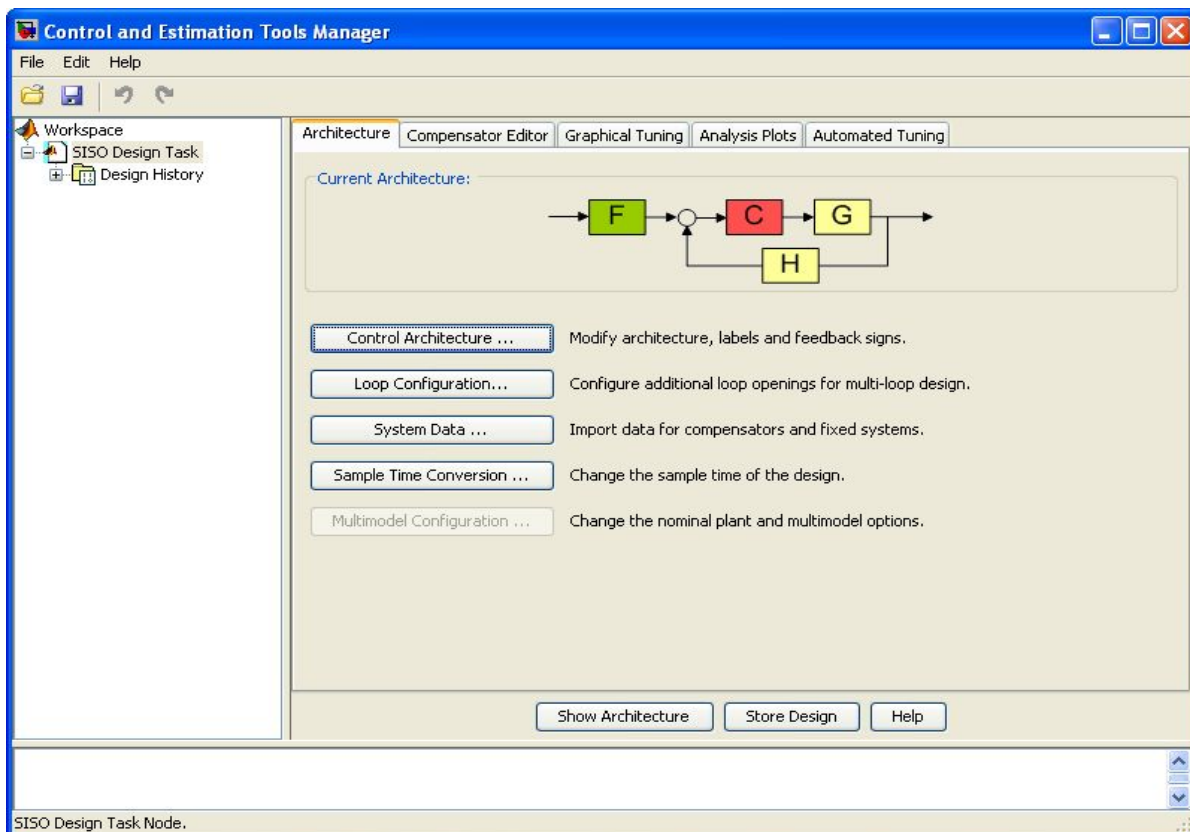
%% Wywołanie programu
sisotool(T)

```

3. Opis poszczególnych okien

3.1. SISO Design Tool

Głównym oknem dostępnym w SISO Design Tool jest okno Control and Estimation Tools Manager.



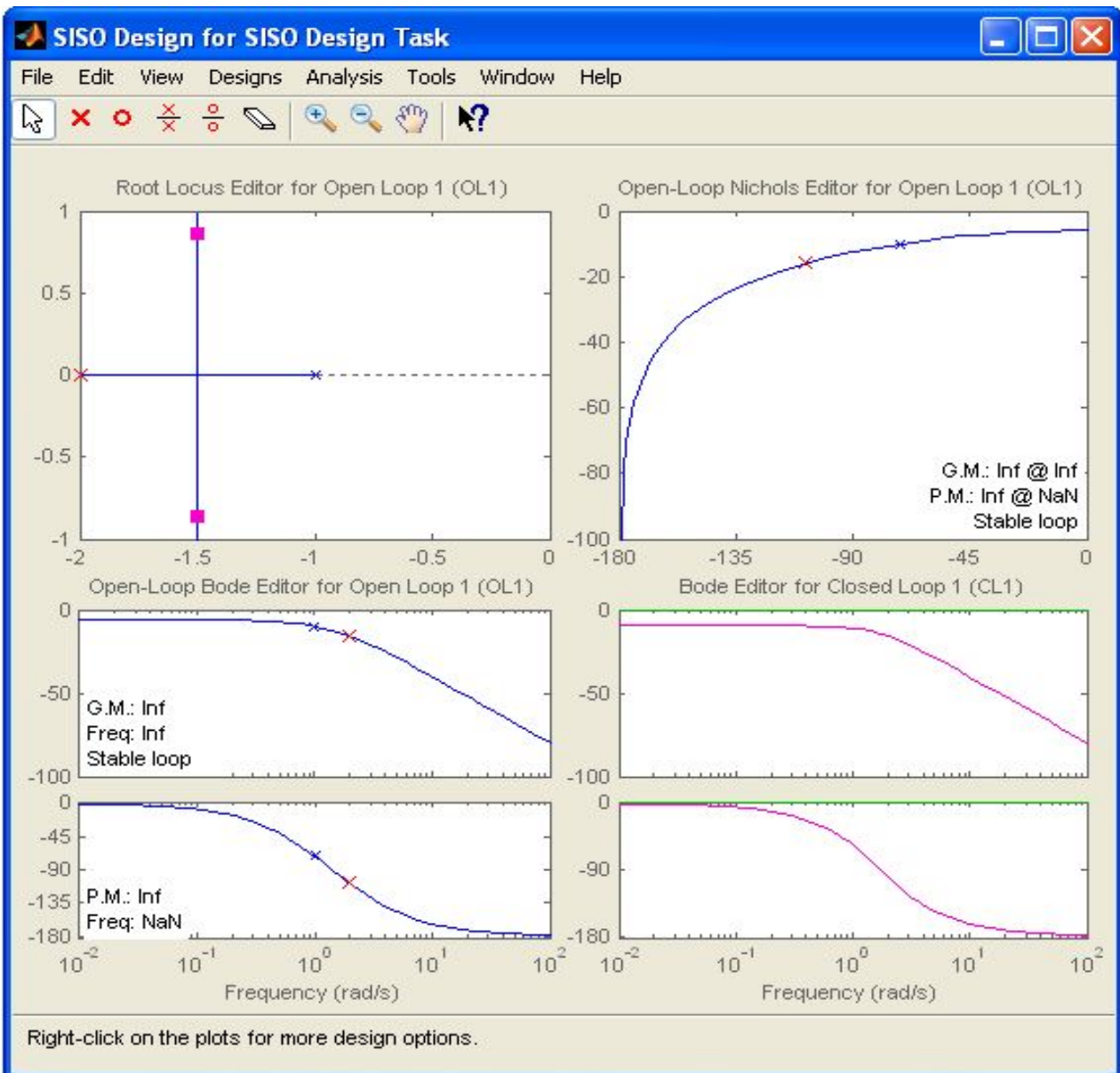
Okno to składa się z pięciu zakładek:

- Zakładka **Architecture** pozwala na wybranie architektury - przycisk **Control Architecture**, konfigurację pętli sprzężeń zwrotnych jeśli występują więcej jak dwie - przycisk **Loop Configuration**, załadowanie zmiennych po poszczególnych bloków architektury - przycisk **System Data**, dyskretyzację bloków w wybranej architekturze - przycisk **Sample Time Conversion**,
- Zakładka **Compensator Editor** umożliwia w zakładce **Pole/Zero** oraz **Parameters** projektowanie regulatora poprzez możliwość dodawania oraz modyfikowania poszczególnych elementów wchodzących w skład regulatora. Użytkownik ma możliwość dodania następując elementów:
 - Real Pole - rzeczywisty biegun,

- Complex Pole - zespolony biegun,
 - Integrator - element całkujący,
 - Real Zero - rzeczywiste zero,
 - Complex Zero - zespolone zero,
 - Differentiator - element różniczkujący,
 - Lead - kompensator wyprzedzający,
 - Lag - kompensator opóźniający,
 - Notch - filtr środkowo przepustowy (w celu usunięcia rezonansu),
- Zakładka **Graphical Tuning** pozwala na konfigurację wykresów prezentowanych w oknie **SISO Design for SISO Design Task** oraz na wybranie pętli sprzężenia zwrotnego dla której wartości będą prezentowane na poszczególnych wykresach.
 - Zakładka **Analysis Plot** umożliwia analizę odpowiedzi czasowych oraz częstotliwościowych badanego układu automatycznej regulacji,
 - Zakładce **Graphical Tuning** pozwala na optymalizację zaprojektowanego regulatora oraz na automatyczny dobór nastaw regulatora w zależności od wybranego typu

3.2. SISO Design for SISO Design Task

Okno SISO Design for SISO Design Task pozwala na projektowanie regulatorów w sposób graficzny poprzez nanoszenie kursorem myszy w wybrane miejsca na wykresie rzeczywiste oraz zespolone zera i bieguny. Dodatkowo na wykresach prezentowanych w oknie można śledzić takie parametry jak zapas fazy (G.M), pasmo przenoszenia (Freq) oraz czy badany układ regulacji jest stabilny (Stable loop).



4. Przykłady projektowania regulatorów w SISO Design Tool

4.1. Projektowanie regulatora dla układu pierwszego rzędu

Dla układu opisanego poniższą transmitancją

$$G(s) = \frac{1}{s + 1} \quad (1)$$

należy zaprojektować regulator typu PI w SISO Design Tool dla następujących wymagań jakościowych:

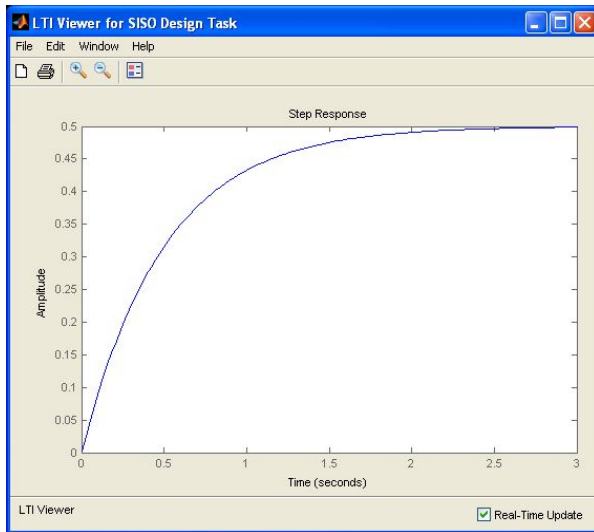
- Uchyb w stanie ustalonym (z ang.: *Steady state error*) równy zero,
- Czas narastania (z ang.: *Rise time*) $< 1s$,
- Czas ustalania (z ang.: *Settling time*) $< 2s$,
- Maksymalne przerolowanie (z ang.: *Maximum overshoot*) $< 20\%$

W tym celu należy wywołać następujący skrypt:

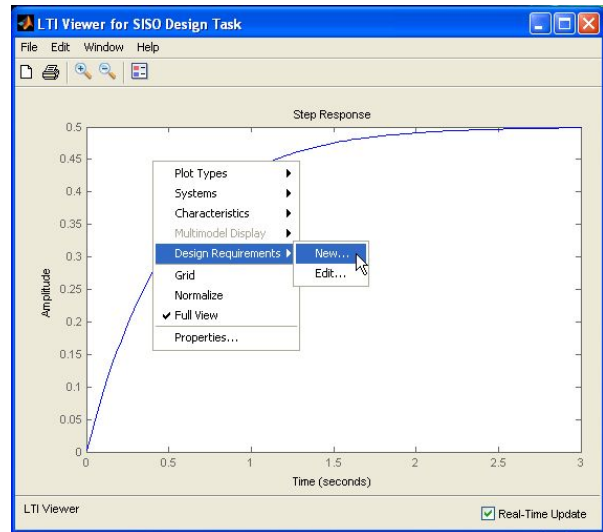
Skrypt 2 Kod dla przykładu 1

```
s=tf('s');  
G=1/(s+1);  
sisotool(G)
```

Po otwarciu programu należy przejść do zakładki **Analysis Plot** w celu analizy odpowiedzi układu na skok jednostkowy bez regulatora. Po przejściu do zakładki należy wybrać **Analysis Plot** -> **Plot 1** -> **Plot Type** -> **Step** a następnie w polu **Contents of Plots** wybrać w kolumnie pierwszej **Close Loop r to y**. Po wykonaniu tych czynności zostanie uruchomiona przeglądarka LTI (rys.4.1). Podczas projektowania regulatora z wykresu można odczytywać aktualną odpowiedź układu na skok jednostkowy i dokonywać porównania z przyjętymi wymaganiami jakościowymi. Przeglądarka LTI umożliwi w sposób graficzny nanoszenie wymagań jakościowych. W tym celu należy na wykresie kliknąć prawym klawiszem myszy i wybrać **Design Requirements** -> **New** (rys. 4.1). Porównanie odpowiedzi układu oraz odpowiedzi jaka jest wymagana przedstawia rys. 4.2.

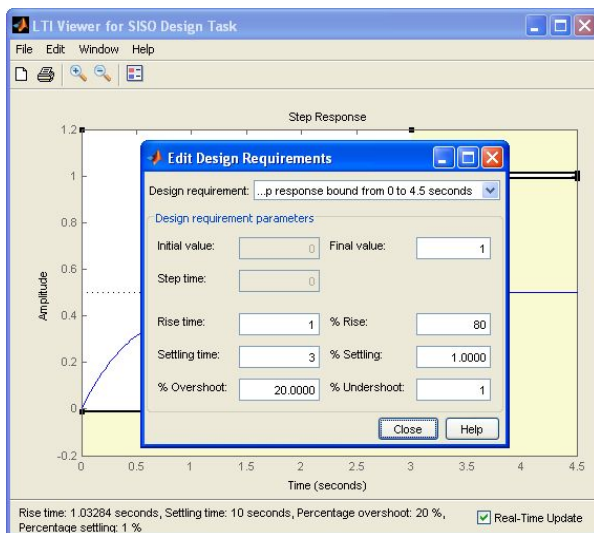


(a) Odpowiedź na skok jednostkowy bez regulatora

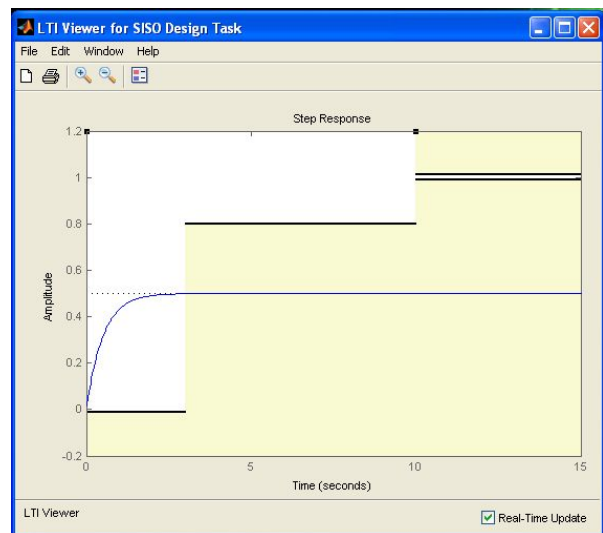


(b) Wprowadzanie wymagań jakościowych

Rys. 4.1. Wprowadzenie wymagań jakościowych



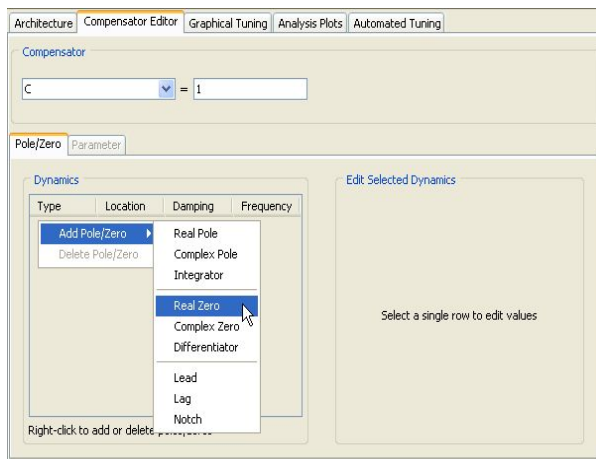
(a) Wprowadzenie wymagań jakościowych



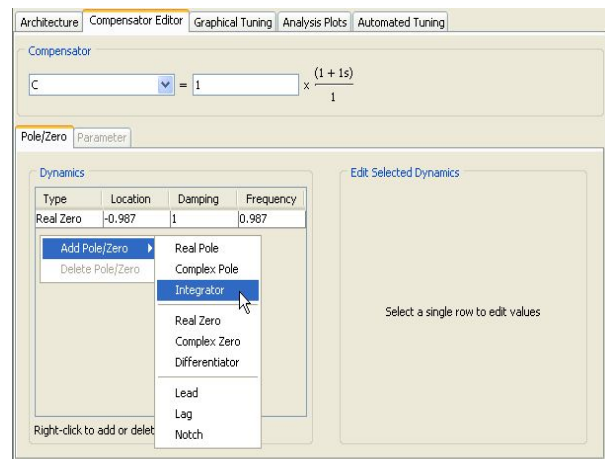
(b) Porównanie odpowiedzi

Rys. 4.2. Wprowadzenie wymagań jakościowych oraz porównanie odpowiedzi

Po wprowadzeniu wymagań jakościowych można przystąpić do projektowania regulatora. W tym celu należy przejść do zakładki Compensator Editor a następnie w polu Pole/Zero dodać Real Zero oraz Integrator (rys.4.3).



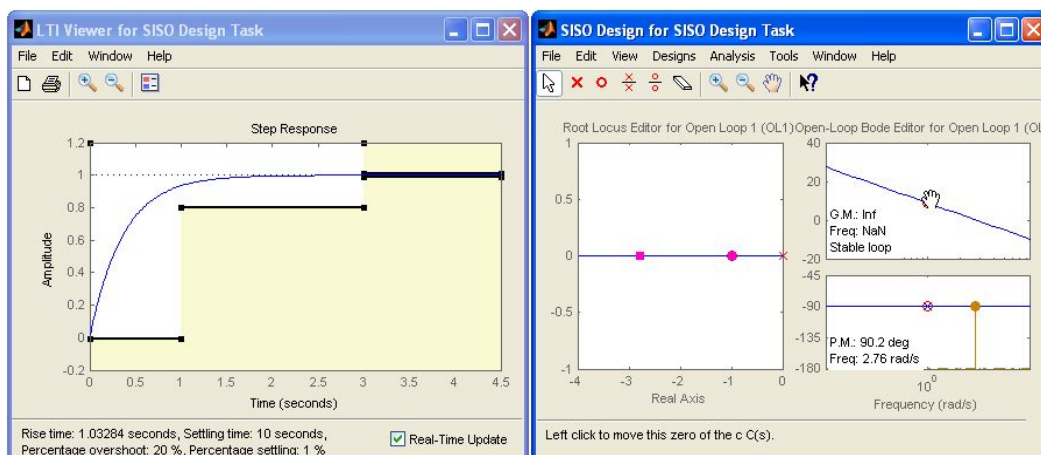
(a) Dodawanie regulatora



(b) Dodawanie regulatora

Rys. 4.3. Dodawanie regulatora typu PI

Pod dodaniu członów regulatora można przejść do modyfikacji ich parametrów w oknie SIS0 Design for SIS0 Desing Task. Po przejściu do okna na wykresie Open-Loop Bode Editor for IOne Loop 1(OL1 można za pomocą kursora myszy zmieniać położenie zer oraz zmieniać wzmocnienie regulatora. W celu zmiany wzmocnienia regulatora wykres *Bode*'o należy przesuwać w górę jednocześnie obserwować odpowiedź układu w przeglądarce LTI. W miarę zwiększania wzmocnienia poprawia się odpowiedź układu na skok jednostkowy a w końcowym etapie układ osiąga stawiane wymagania jakościowe (rys. 4.4).



Rys. 4.4. Zmiana parametrów regulatora

4.2. Projektowanie regulatora dla układu drugiego rzędu

Dla układu opisanego poniższą transmitancją

$$G(s) = \frac{0.023}{(s + 0.1)(s + 10.2)} \quad (2)$$

należy zaprojektować regulator typu PI w **SISO Design Tool** dla następujących wymagań jakościowych:

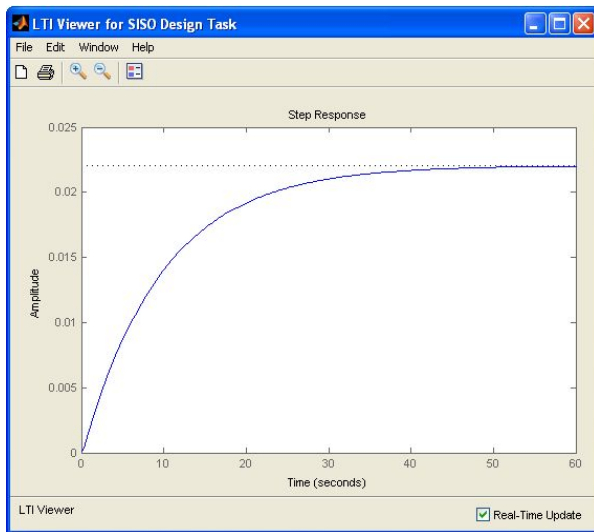
- Uchyb w stanie ustalonym (z ang.: *Steady state error*) równy zero,
- Czas ustalania (z ang.: *Settling time*) $< 4s$,
- Maksymalne przerolowanie (z ang.: *Maximum overshoot*) $< 20\%$

W tym celu należy wywołać następujący skrypt:

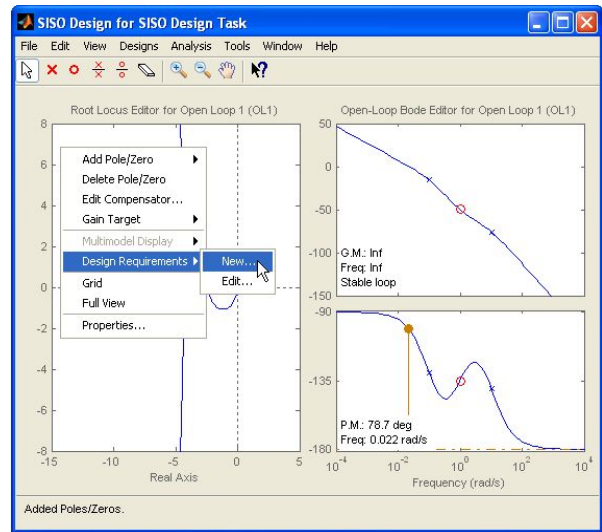
Skrypt 3 Kod dla przykładu 2

```
s=tf('s');  
G=0.023/(s+0.1)/(s+10.2);  
sisotool(G)
```

Podczas projektowania regulatora dla tego przypadku należy wyświetlić przeglądarkę **LTIView** (rys. 5(a)) podobnie jak w poprzednim przykładzie oraz zdefiniować wymagania jakościowe. W tym przykładzie wymagania jakościowe zostaną naniesione na wykres **Root Locus Editor for Open Loop 1(OL1)** dostępny w oknie **SISO Design for SISO Desing Task**. W tym celu należy na wykresie **Root Locus Editor for Open Loop 1(OL1)** kliknąć prawym klawiszem myszy i wybrać **Design Requirements -> New** (rys. 5(b)). W otwartym oknie należy wybrać **Settling time** oraz wprowadzić wartość w polu **Settling time(sec)** (rys. 6(a)). Następnie należy powtórzyć operację i dodać nowy **Design Requirements**. W otwartym oknie wybrać **Maximum overshoot** oraz wprowadzić wartość w polu **Precent overshoot** (rys. 6(b)).

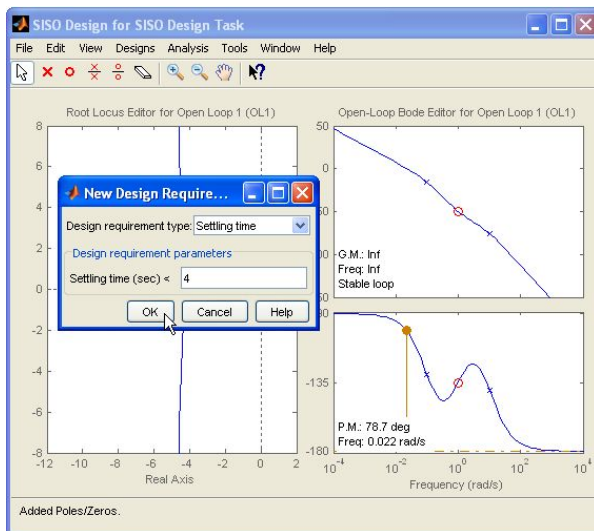


(a) Odpowiedź na skok jednostkowy bez regulatora

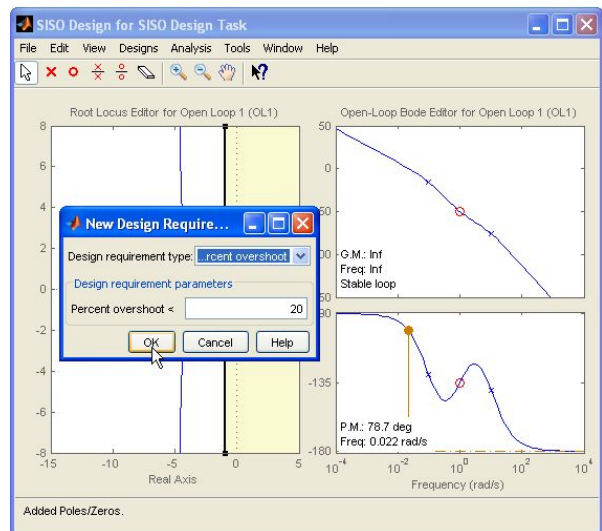


(b) Wprowadzanie wymagań jakościowych

Rys. 4.5. Wprowadzenie wymagań jakościowych



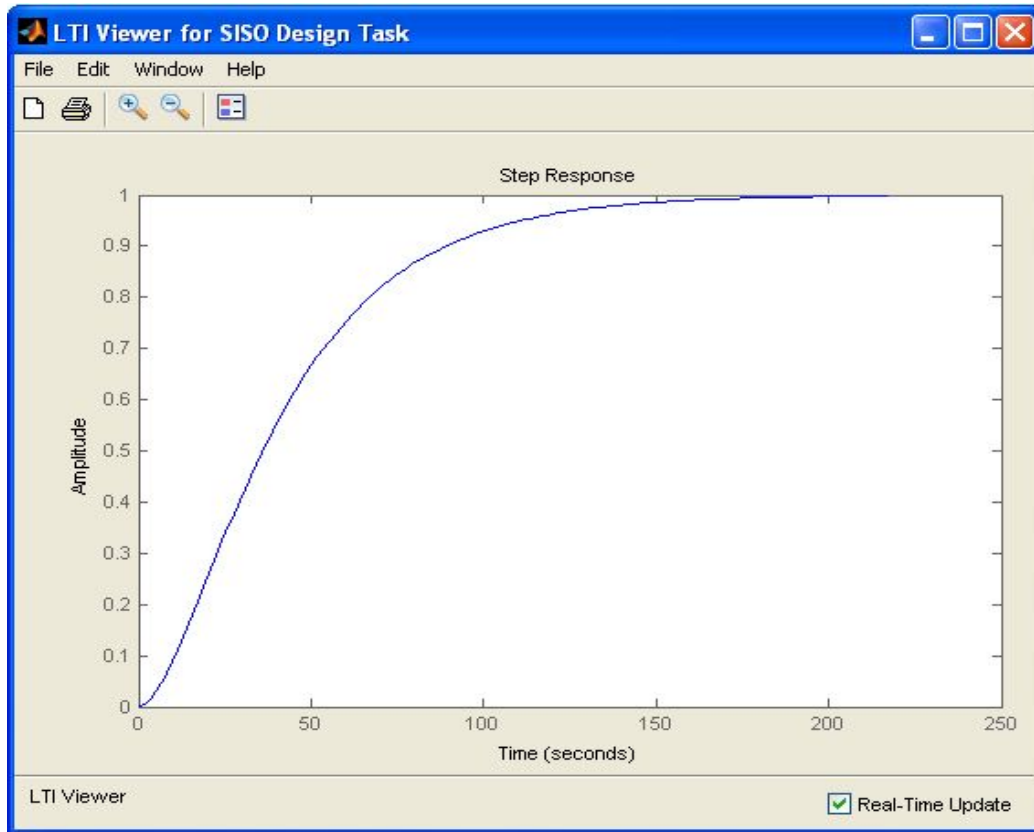
(a) Wprowadzenie wymagań jakościowych



(b) Wprowadzenie wymagań jakościowych

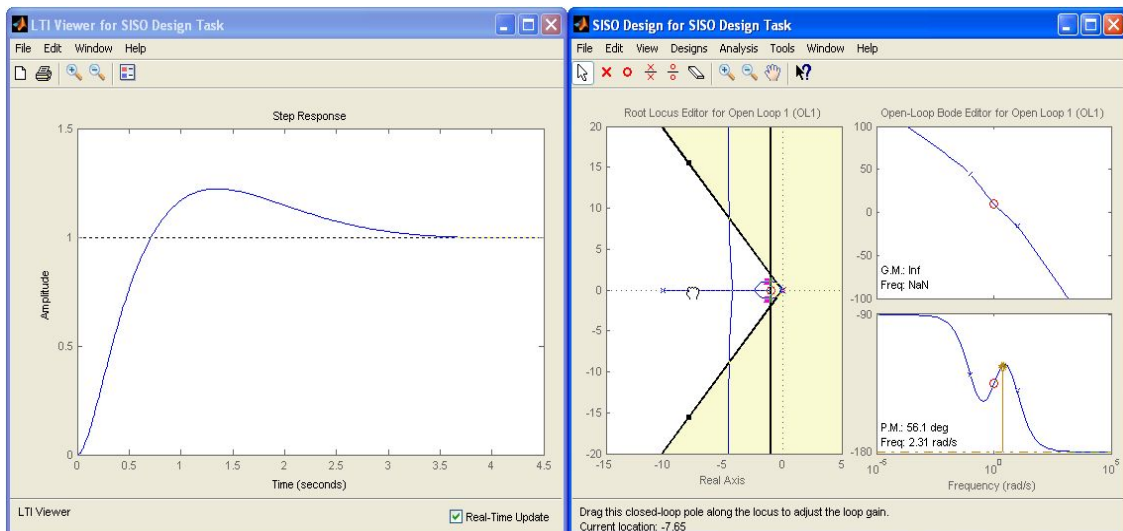
Rys. 4.6. Wprowadzenie wymagań jakościowych

Po zdefiniowaniu wymagań jakościowych należy dodać regulator PI analogicznie jak w pierwszym przykładzie. Na rys.4.7 widać że błąd w stanie ustalonym ma wartość zero jednak nie są spełnione warunki co do czasu ustalania. Regulator musi posiadać większe wzmocnienie aby układ charakteryzował się szybszym czasem ustalania. W tym przypadku wartość wzmocnienia



Rys. 4.7. Odpowiedź układu z regulatorem PI

regulatora można zmieniać poprzez zmianę położenia biegunów. W tym celu należy na wykresie Root Locus Editor for Open Loop 1(OL1) dostępnym w oknie SISO Design for SISO Design Task dokonać przesunięcia biegunów układu aby wymagania jakościowe zostały spełnione (rys.4.8). Dodatkowo na wykresie zaznaczone są obszary poza którymi muszą leżeć bieguny układu aby wymagania jakościowe zostały spełnione. Obszary te są określane na podstawie zdefiniowanych wymagań jakościowych (Design Requirements).



Rys. 4.8. Zmiana parametrów regulatora

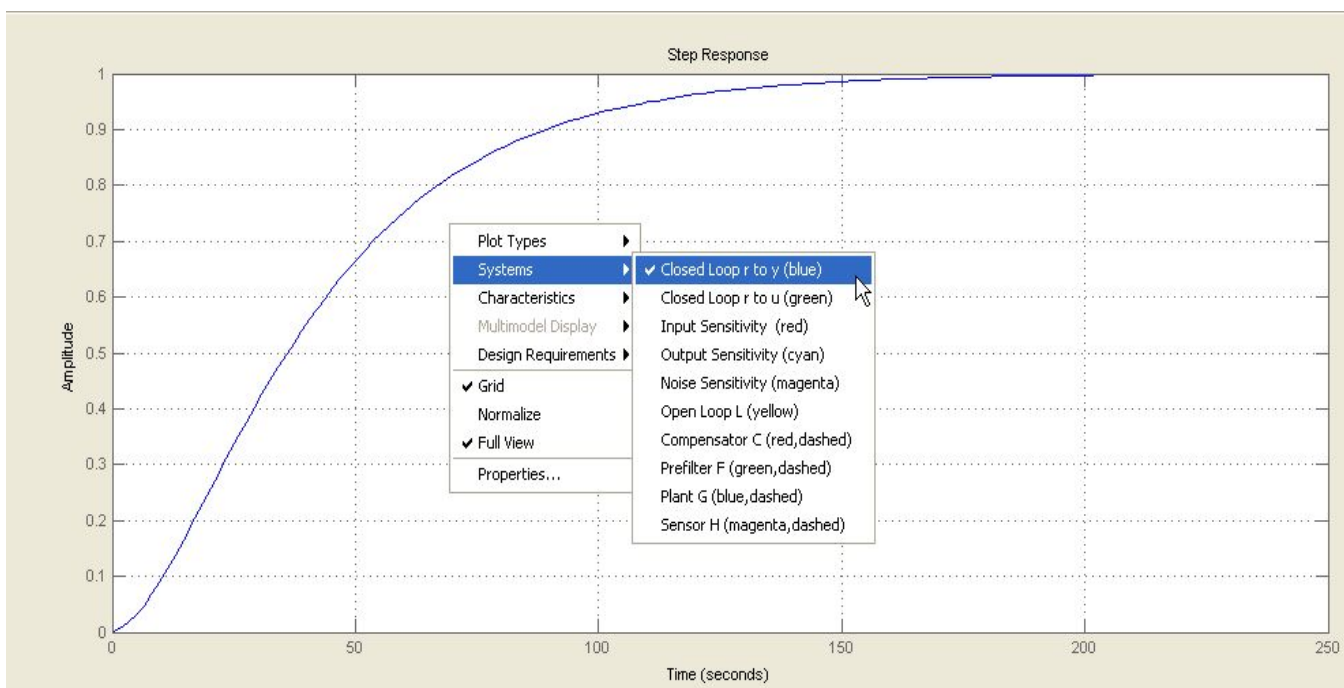
5. Opis przydatnych funkcji podczas analizy układów automatycznej regulacji w SISOTOOL®

Oprogramowanie SISOTOOL® udostępnia wiele przydatnych funkcji ułatwiających analizę i projektowanie układów regulacji automatycznej. Poniżej zostaną przedstawione najważniejsze z nich. Szczegółowy opis wszystkich funkcji dostępny jest na stronie producenta oraz w pliku pomocy. W pasku narzędzi okna SISO Design for SISO Design Task dostępna jest funkcja (Analysis -> Response to Step Command) która pozwala na porównanie odpowiedzi układu w zamkniętej pętli sprzężenia zwrotnego a sygnałem z regulatora. Znajomość wartości wyjściowej sygnału z regulatora jest istotną informacją ponieważ w praktycznych zastosowaniach na sygnał zostają nałożone ograniczenia. Wybierając zakładkę Tools -> Continuous/Discrete Conversions użytkownik ma możliwość dokonania dyskretyzacji poszczególnych bloków badanego układu. Otwarte okno pozwala na zdefiniowanie czasu dyskretyzacji oraz wybranie metody dyskretyzacji poszczególnych bloków. Wybierając Tools -> Draw Simulink Diagram program automatycznie przenosi dane z poszczególnych bloków do workspace oraz generuje model w Simulink®. Okno Control and Estimation Tools Manager zawiera zakładkę Analysis Plots która pozwala na szczegółową analizę badanego układu. Analiza może być "ogólna" dla całego badanego układu (np. analiza odpowiedzi na skok jednostkowy między wejściem a wyjściem układu) lub "szczegółowa" (np. badanie charakterystyki częstotliwościowej transmitancji obiektu).

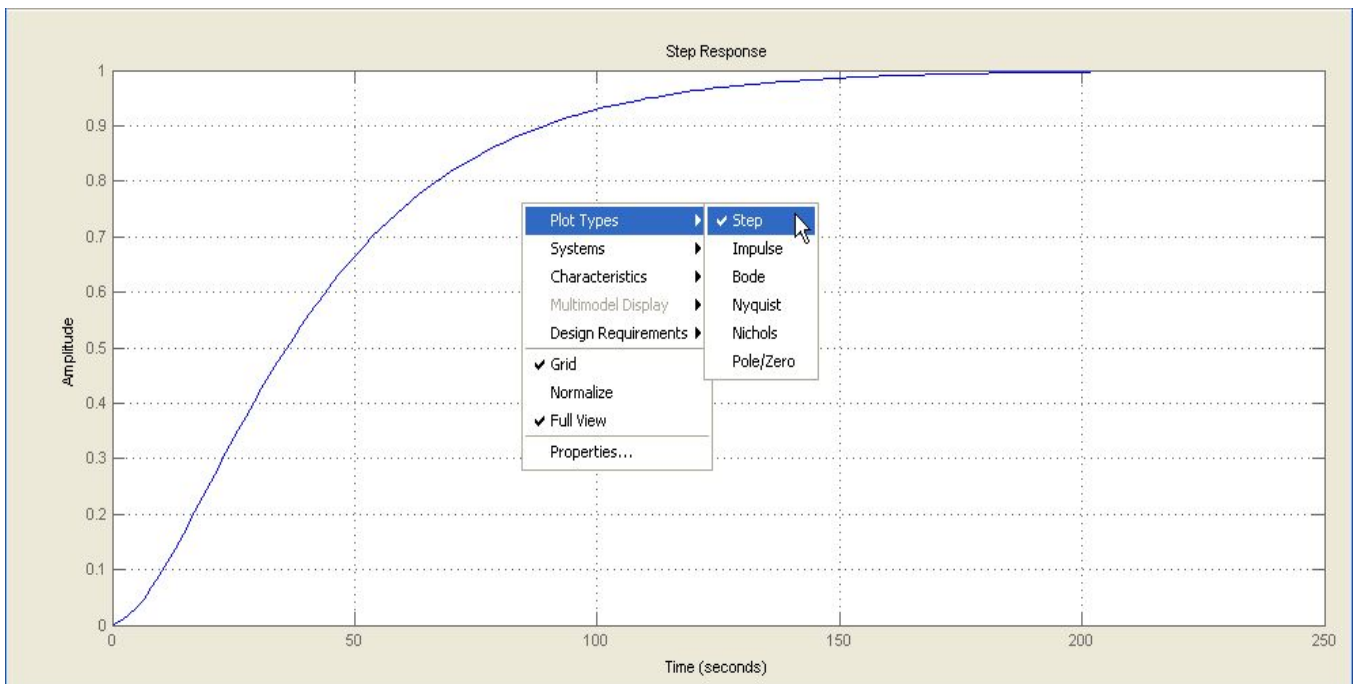
6. Analiza układu automatycznej regulacji w przeglądarce LTIView

Przeglądarka LTIView pozwala na wygodną analizę badanego układu oraz szybką weryfikację czy projektowany regulator/układ automatycznej regulacji spełnia wymagania jakościowe. Poniżej zostaną przedstawione podstawowe funkcjonalności przeglądarki. Po kliknięciu na wykres prawym klawiszem myszy użytkownik ma dostęp do następujących funkcji:

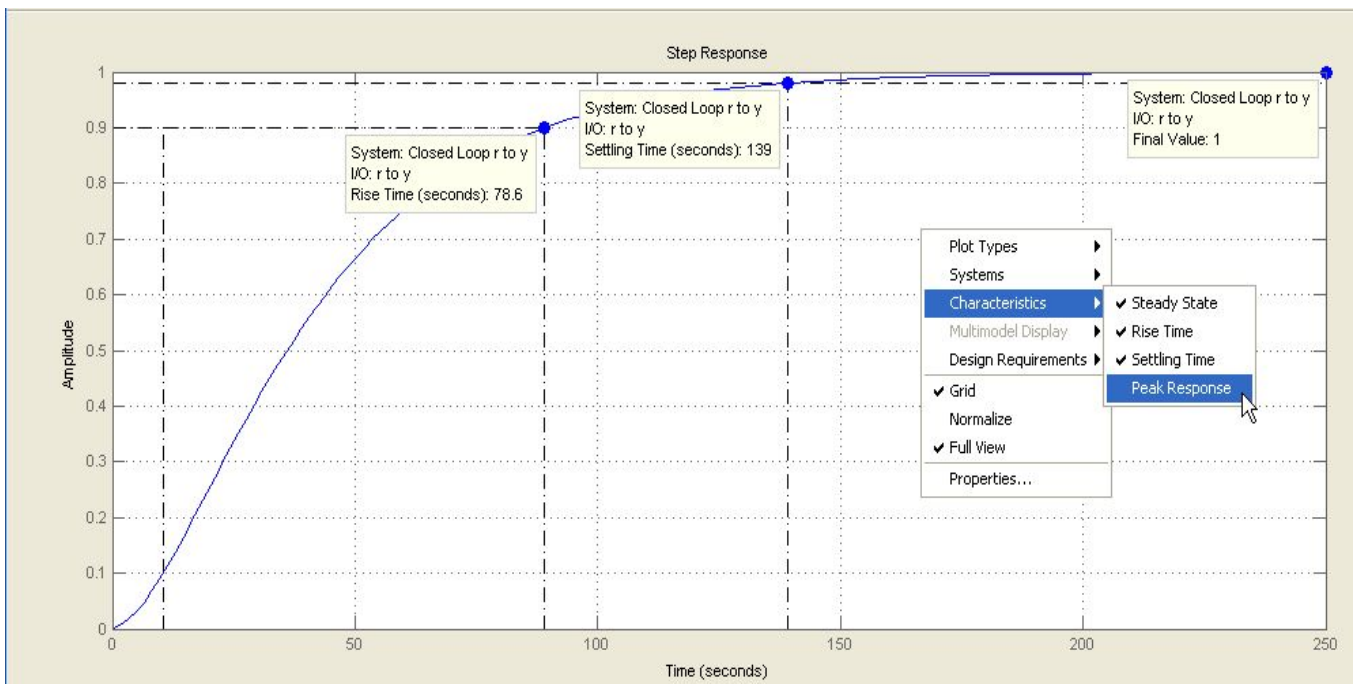
- Plot Types - zmian wykresu (rys.6.1),
- Systems - zmiana elementów architektury dla których zostanie wykonany wykres (rys.6.2),
- Characteristics - przegląd parametrów jakościowych (rys.6.3).



Rys. 6.1. Zmiana wykresu



Rys. 6.2. Zmiana elementów architektury dla których zostanie wykonany wykres



Rys. 6.3. Przegląd parametrów jakościowych