



LABORATORIUM 2: PRZYPISANIA CIĄGŁE (2)

Cel ćwiczenia

Celem ćwiczenia jest zapoznanie się z możliwościami tworzenia i wykorzystywania wektorów, stosowania operatorów oraz wyznaczanie długości wyrażeń.

Zadanie 1. Przygotować opis bramki *AND_8* w języku Verilog, a następnie przeprowadzić jej symulację. Wejścia oraz wyjście bramki powinny być wektorami ośmiobitowymi.

Zadanie 2. Zmodyfikować model z zadania pierwszego, wykorzystując różne typy operatorów (&, &&, |, ||, !). Wskazać różnicę pomiędzy nimi.

Zadanie 3. Przygotować opis układu *Układ_1* w języku Verilog, a następnie przeprowadzić jego symulację. Układ posiadać dwa wejścia czterobitowe *A*, *B* oraz wyjście ośmiobitowe *Y*, będące konkatencją wektorów *A* oraz *B*.

Zadanie 4. Zmodyfikować model bramki z zadania pierwszego wykorzystując różne metody definiowania portów w modelu oraz sposoby konkretyzacji modułów (konkretyzacja portów poprzez listę, nazwę sygnału oraz nazwę portu).

- ♦ Przykład konkretyzacji modelu:

```
module bramka_AND8 (A,B,C) ;  
    ...  
endmodule  
  
//konkretyzacja poprzez listę:  
bramka_AND8 U1 (I1,I2,Y) ;  
  
//konkretyzacja poprzez nazwę sygnału oraz nazwę portu:  
bramka_AND8 U1 (.C(Y), .A(I1), .B(I2)) ;
```

* **Zadanie 5.** Napisać modele prostych bramek jednobitowych AND, OR oraz NOT, a następnie wykorzystując instancje (konkretyzacje) tych modeli przygotować opis układu kombinacyjnego *Układ_2* realizującego funkcję $Y = (A \& B) | (!A \& C)$. Zweryfikować poprawność układu.