



LABORATORIUM 5: MODELOWANIE STRUKTURALNE

ZAGADNIENIA

- ❖ Opis modeli na poziomie strukturalnym.
- ❖ Konkretyzacja modułów w języku Verilog.
- ❖ System funkcjonalnie pełny, prawa de Morgan'a.

CEL ĆWICZENIA

Celem ćwiczenia jest zapoznanie się z możliwościami tworzenia i wykorzystywania modeli na poziomie strukturalnym, z zastosowaniem konkretyzacji modułów.

ZADANIA

- Zad 1.** Wykorzystując przypisania ciągle przygotować modele podstawowych bramek logicznych: *AND*, *OR*, *NOT*. Bramki *AND* oraz *OR* powinny posiadać dwa wejścia (*A* oraz *B*) i wyjście *Y*, natomiast bramka *NOT* powinna posiadać jedno wejście *A* oraz wyjście *Y*.
- Zad 2.** Wykorzystując konkretyzację bramek z zadania 1, napisać modele bramek *NAND* oraz *NOR*. Bramki powinny posiadać dwa wejścia (*A* i *B*) oraz wyjście *Y*.
- Zad 3.** Wykorzystując konkretyzację bramki *NAND* z zadania 2, napisać model bramki *XOR*. Bramka powinna posiadać dwa wejścia (*A* i *B*) oraz wyjście *Y*.
- Zad 4.** Wykorzystując konkretyzację bramki *NOR* z zadania 2, napisać model bramki *XNOR*. Bramka powinna posiadać dwa wejścia (*A* i *B*) oraz wyjście *Y*.
- Zad 5.** Wykorzystując konkretyzację bramek sporządzonych w zadaniach 1-4 zrealizować układ sumatora bitowego pełnego. Układ powinien posiadać trzy wejścia jednobitowe: *A*, *B*, *Cin* oraz dwa jednobitowe wyjścia *Y*, *Cout*.
- Zad 6.** Wykorzystując konkretyzację sumatora z zadania 5, przygotować układ 4-bitowego sumatora pełnego. Układ powinien posiadać dwa wejścia 4-bitowe *A* oraz *B*, wejście przeniesienia *Cin*, a także wyjście 4-bitowe *Y* oraz wyjście przeniesienia *Cout*.

SPRAWOZDANIE

Ze sporządzonych zadań należy przygotować sprawozdanie, zawierające **przede wszystkim** merytoryczne wnioski z przeprowadzonych badań.