



LABORATORIUM 7: STEROWANIE OPÓŹNIENIEM

Cel ćwiczenia

Celem ćwiczenia jest zapoznanie się z możliwością kontroli opóźnień w języku Verilog. Przypisania blokujące oraz nie blokujące.

Zadanie 1. Przygotować modele bramek AND, OR oraz NOT wykorzystując przypisania proceduralne.

Zadanie 2. Zmodyfikować modele bramek z zadania 1, uwzględniając opóźnienie sygnału wyjściowego. Wskazać różnice w następujących przypisaniach:

- ♦ always @(A or B) #10 Y=A&B;
- ♦ always @(A or B)Y=#10 A&B;

Zadanie 3. Wykorzystując konkretyzację modeli zrealizowanych w zadaniu 1 zrealizować układ realizujący funkcję logiczną: $Y=A/C+BC$. Następnie zrealizować tą samą funkcję wykorzystując konkretyzację modułów z zadania 2. Wyjaśnić ewentualne rozbieżności w wynikach symulacji.

Uwaga: do zadania należy napisać moduł testujący. Wykorzystać w nim następujące przypisania:

```
...
initial A=1;
initial B=1;
initial C=1;
always #100 A=~A;
always #50 B=~B;
always #25 C=~C;
...
```

Zadanie 4. Zmodyfikować układ z zadania 3 w taki sposób, aby wyniki symulacji były poprawne.

Zadanie 5. Przeprowadzić symulację modelu podanego poniżej:

```
module to_block_or_not_to_block;
    reg [2:0] A,B;
    initial begin
        #0; A=5;B=7;
        #50;A=3;B=A-2;
        #50;A<=5;B<=7;
        #50;A<=3;B<=A-2;
    end
endmodule
```

Wyjaśnić różnice pomiędzy przypisaniami blokującymi oraz nie blokującymi.